

HIGHLY STABLE ZENER DIODE

Patent Number: JP5283715
Publication date: 1993-10-29
Inventor(s): KIMURA CHIKAO; others: 01
Applicant(s): NEW JAPAN RADIO CO
Requested Patent: ☐ JP5283715
Application: JP19920102424 19920330
Priority Number(s):
IPC Classification: H01L29/90
EC Classification:
Equivalents: JP3255698B2

Abstract

PURPOSE:To prevent carriers from flowing into a silicon substrate passing through a polysilicon layer, and to eliminate the variation with time in breakdown voltage by a method wherein a polysilicon layer is provided directly on the junction party, where a part of the carrier generated by breakdown is trapped and accumulated, and on a depletion region.

CONSTITUTION:An oxide film 5 is formed on the surface of a silicon substrate 1, a P<+> diffused external base 4 is formed by ion-implanting from above the oxide film 5, and P-diffused base layer 2 is formed by ion-implantation. Subsequently, an N<+> diffused emitter layer 3 is formed in the base layer 2 by ion-implantation from above the film 5, the oxide film 5 on the region, where an emitter depletion layer is expanded, is removed by etching, polysilicon is deposited on the surface, and a conductive polysilicon layer 8, which is ohmic-connected to the silicon substrate 1, is provided. Subsequently, the polysilicon is patterned, an oxide film 6 is formed, a contact hole is perforated, and an aluminum wiring 7 is formed.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁(JP)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-283715

(43)公開日 平成5年(1993)10月29日

(51)Int.Cl.⁵

H01L 29/90

識別記号

庁内整理番号

D

FI

技術表示箇所

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平4-102424

(22)出願日 平成4年(1992)3月30日

(71)出願人 000191238

新日本無線株式会社

東京都目黒区下目黒1丁目8番1号

(72)発明者 木村 親夫

埼玉県上福岡市福岡二丁目1番1号 新日

本無線株式会社川越製作所内

(72)発明者 船渡 昭弘

埼玉県上福岡市福岡二丁目1番1号 新日

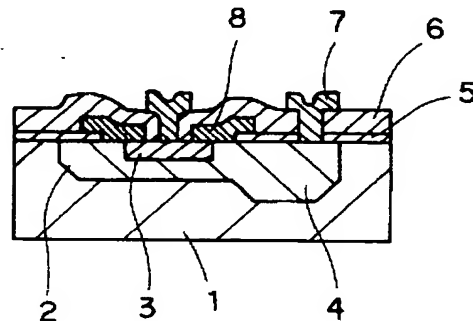
本無線株式会社川越製作所内

(54)【発明の名称】 高安定ツェナーダイオード

(57)【要約】 (修正有)

【目的】 降伏電圧の経時変化をなくすことを目的とする。

【構成】 接合部分および空乏層領域直上の酸化膜5、6を除去し、その部分にポリシリコン層8を設けた。



- 1 シリコン基板
- 2 ベース層
- 3 エミッタ層
- 4 外部ベース層
- 5 酸化膜
- 6 酸化膜
- 7 アルミ配線
- 8 ポリシリコン層

【特許請求の範囲】

【請求項 1】 半導体シリコン集積回路で基準電圧として使用する高安定ツェナーダイオードにおいて、ブレイクダウンにより発生するキャリアの一部がトラップされて蓄積される接合部分および空乏層領域直上にポリシリコン層を設けたことを特徴とする高安定ツェナーダイオード。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体シリコン集積回路で基準電圧として使用する高安定ツェナーダイオードに関する。

【0002】

【従来の技術】 図3は従来のこの種のツェナーダイオードの一例の断面構造を示す。図において1はシリコン基板、2はベース層、3はエミッタ層、4は外部ベース層、5、6は酸化膜、7はアルミ配線である。従来の半導体シリコン集積回路では、シリコン基板1表面に形成した薄膜の酸化膜5上からのイオン注入によるP拡散のベース層2と、このベース層2中のイオン注入によるN+拡散のエミッタ層3とで構成するツェナーダイオードを基準電圧として使用してきた。P+拡散の外部ベース層4はベース層2と引き出し電極とのオーミック性を良くするための層である。

【0003】

【発明が解決しようとする課題】 上記のような構造のツェナーダイオードでは、逆方向電圧が経時変化し、基準電圧として使用する場合、基準電圧がドリフトするという問題があった。これは、ツェナー降伏させた場合、ブレイクダウンにより発生したキャリアが接合部上方にある酸化膜5中に飛び込みトラップされて蓄積され、酸化膜5界面の空乏層が広がり、降伏電圧が上昇するというウォークアウト(walk-out)現象に起因するものである。本発明は上記の問題点を解決するためになされたもので、経時変化の起こらない高安定ツェナーダイオードを提供することを目的とする。

【0004】

【課題を解決するための手段】 本発明のツェナーダイオードは、ブレイクダウンにより発生したキャリアの一部がトラップされて、蓄積される接合部分および空乏層領域直上にポリシリコン層を設けたものである。

【0005】

【作用】 上記のような構成にすると、ブレイクダウンにより発生したキャリアは、接合部分および空乏層領域直上のポリシリコン層を通してシリコン基板に流入し、蓄積されることがなく、降伏電圧が殆んど経時変化することがなくなる。

【0006】

【実施例】 図1は本発明の一実施例の断面構造を示し、図2は図1に示す実施例の製造工程中の断面構造を示

す。図において図3と同一の符号は同一又は相当する部分を示し、8はポリシリコン層である。まず、製造方法について説明する。シリコン基板1表面に酸化膜5を形成し、酸化膜5上からイオン注入によりP+拡散の外部ベース層4を形成し

【図2(a)】、さらに、イオン注入によりP拡散のベース層2を形成する

【図2(b)】。続いて、酸化膜5上からのイオン注入によりベース層2内にN+拡散のエミッタ層3を形成し

【図2(c)】、次にエミッタ層3およびエミッタの空乏層が広がる領域上の酸化膜5をエッチング除去し、表面にポリシリコンをデポする。このポリシリコンには真性領域より多めのN型不純物をイオン注入してもよい。これは、ポリシリコンにキャリアがトラップされにくくするためである。具体的には $1 \times 10^{14} / \text{cm}^2$ 程度のドーズ量が好ましい。また、上記ポリシリコンの形成には、シリコン基板1とのオーミック性を良くするため非酸化性雰囲気中で行なう方法や、500℃以下からのランブアップで行なう方法を採用する。続いて、このポリシリコンをパターニングする

【図2(d)】。以後の工程は従来と全く同様で、酸化膜6を形成し、コンタクトホールを開口し、アルミ配線7を行なう

【図1】。

【0007】 上記のように、接合部分および空乏層領域直上の酸化膜5を除去し、この酸化膜5を除去した部分にシリコン基板1とオーミック接続した導電体のポリシリコン層8を設けたツェナーダイオードでは、ブレイクダウンの際発生したキャリアは、大部分がポリシリコン層8を経てシリコン基板1に流入するので、空乏層領域直上に蓄積されることがなく、空乏層領域の広がりが経時変化することがなく、降伏電圧がドリフトすることがなくなる。

【0008】

【発明の効果】 以上説明したとおり、本発明によれば、ブレイクダウンの際発生するキャリアによるウォークアウト(walk-out)現象がなくなり、経時変化することのない非常に安定した降伏電圧が得られる。

【図面の簡単な説明】

【図1】 本発明の一実施例を示す断面図である。

【図2】 図1に示す実施例の製造工程を示す断面図である。

【図3】 従来のこの種のツェナーダイオードの一例を示す断面図である。

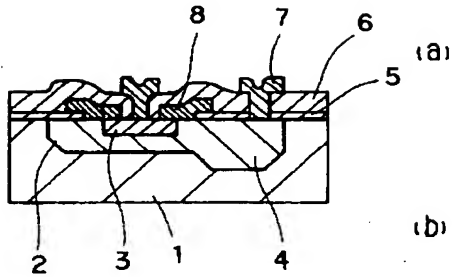
【符号の説明】

- 1 シリコン基板
- 2 ベース層
- 3 エミッタ層
- 4 外部ベース層
- 5 酸化膜

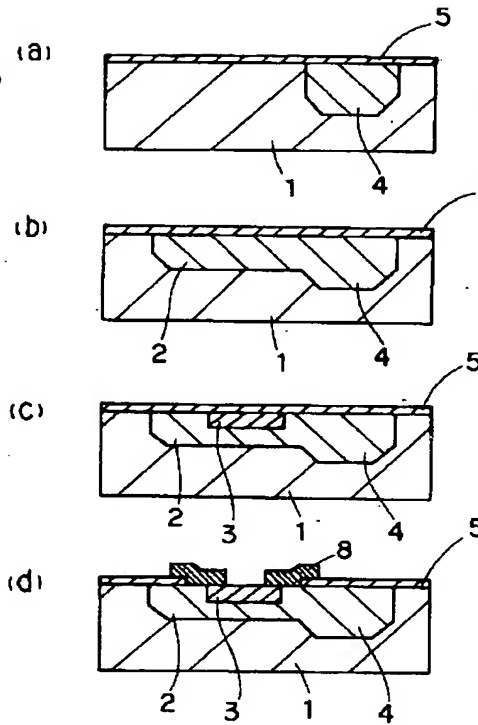
6 酸化膜
7 アルミ配線

8 ポリシリコン層

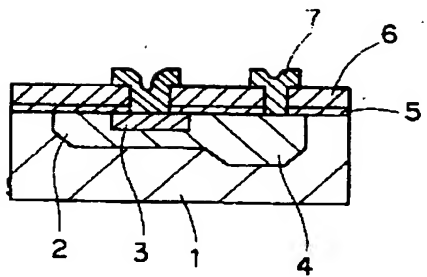
【図1】



【図2】



【図3】



- 1 シリコン基板
- 2 ベース層
- 3 エミッタ層
- 4 外部ベース層
- 5 酸化膜
- 6 酸化膜
- 7 アルミ配線
- 8 ポリシリコン層